

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-18784

⑤ Int. Cl.⁹

識別記号

庁内整理番号

④ 公開 平成2年(1990)1月23日

G 11 C 11/409

8522-5B

G 11 C 11/34

3 5 3 E

審査請求 未請求 請求項の数 4 (全6頁)

⑭ 発明の名称 センسアンプ回路

⑰ 特 願 昭63-168206

⑱ 出 願 昭63(1988)7月6日

⑯ 発 明 者 山 内 寛 行 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑰ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑱ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1、発明の名称

センスアンプ回路

2、特許請求の範囲

(1) 複数のトランジスタから構成されるフリップフロップ型又はカレントミラー型のセンスアンプ回路の共通ノードを第1のスイッチ素子を介して、第1の電源電圧の供給線と接続し、さらに前記共通ノードを第2のスイッチ素子を介して前記第1の電源電圧より高い電圧をもつ第2の電源電圧の供給線と接続し、前記第1のスイッチ素子、第2のスイッチ素子を用いて一時的に前記共通ノードに接続される電源電圧の供給線を、前記第1の電源電圧から第2の電源電圧に切り替えて増幅することを特徴とするセンスアンプ回路。

(2) 第1の電源電圧をダウンコンバーターで発生し、第2の電源電圧を外部電源電圧とすることを特徴とする特許請求の範囲第1項記載のセンスアンプ回路。

(3) 複数のトランジスタから構成されるフリップフロップ型又はカレントミラー型センスアンプ回路の共通ノードを第1のスイッチ素子を介して第1の電源電圧の供給線と接続し、さらに前記共通ノードを、第2のスイッチ素子を介して、前記第1の電源電圧より低い電圧をもつ第2の電源電圧の供給線と接続し、前記第1のスイッチ素子、第2のスイッチ素子を用いて一時的に前記共通ノードに接続される電源電圧の供給線を、前記第1の電源電圧から第2の電源電圧に切り替えて増幅することを特徴とするセンスアンプ回路。

(4) 第1の電源電圧を外部電源電圧とし、第2の電源電圧を基板バイアス発生回路で発生することを特徴とする特許請求の範囲第3項記載のセンスアンプ回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体メモリー回路に使用されるセンスアンプ回路に関するものである。

特開平2-18784 (2)

従来の技術

従来のセンスアンプ回路とその動作を第5図～第8図を用いて説明する。

まず第5図は、従来のP型センスアンプの回路図であり、1はP型のフリップフロップ回路、2はビット線対、3はP型フリップフロップ回路1の共通ソースノードを、外部電源 V_{cc} より降圧された内部電源 V_{cc} に接続するためのスイッチ素子である。

次に、第6図を用いて動作を説明する。

まずメモリーセルを読み出すことで、ビット線対2に電位差 ΔV が生じる。次にその電位差 ΔV を増幅するために、スイッチ素子3をONにし、フリップフロップ回路1を、活性化する。

さらに、第7図は、従来のN型センスアンプの回路図であり、10はN型のフリップフロップ回路、2はビット線対、30はN型フリップフロップ回路30の共通ソースノードを、外部電源 V_{ss} に接続するためのスイッチ素子である。又、フリップフロップ回路10、スイッチ素子30を

構成しているN型MOS型トランジスタの基板電位は、基板バイアス発生回路40から出力される電位 V_{BB} に固定されている。

次に、第8図を用いて動作を説明する。

まずメモリーセルを読み出すことで、ビット線対2に、電位差 ΔV が生じる。次に、その電位差 ΔV を増幅するために、スイッチ素子30をONにし、フリップフロップ回路10を活性化する。

発明が解決しようとする課題

しかしながら、メモリーセル内の酸化膜の信頼性のために、メモリーセル部の電源電圧を降圧させると、当然、フリップフロップ回路1の動作電圧は、その分、下がることになる。一方、フリップフロップ回路を構成しているトランジスタのしきい値 V_{th} は、そのままであるため、(1)式から理解できるようにトランジスタの電流駆動能力は減少することになる。

$$I_{bit} = \frac{1}{2} \frac{W}{L} \mu C_{ox} (V_{bit} - V_s - V_{th})^2 \quad \dots\dots(1)$$

(1)式において、 I_{bit} は充、放電電流、 W はトランジスタのゲート幅、 L はトランジスタのゲート長、 μ は移動度、 C_{ox} はトランジスタのゲート酸化膜容量、 V_{bit} はビット線の電位、 V_s は共通ソースノードの電位である。

トランジスタの電流駆動能力が減少するということは、ビット線の充、放電電流駆動能力が低下するということであり、増幅に要する時間が長くなりメモリーの読み出し速度が低下することになる。

以上の問題は、今後、半導体メモリーが微細化、高密度化されるにつれて、信頼性の問題から電源電圧が下がる傾向にある中で、極めて重要な問題点である。

本発明は、以上の問題点に鑑み、高速な読み出し可能なセンスアンプ回路を実現しようとするものである。

課題を解決するための手段

本発明は、複数のトランジスタから構成されるフリップフロップ型又は、カレントミラー型のセ

ンスアンプ回路の共通ノードを第1のスイッチ素子を介して第1の電源電圧の供給線と接続し、さらに前記共通ノードを第2のスイッチ素子を介して前記第1の電源電圧より高い電圧をもつ第2の電源電圧の供給線と接続し、第1のスイッチ素子、第2のスイッチ素子を用いて、一時的に、前記共通ノードに接続されている電源電圧の供給線を、第1の電源電圧から第2の電源電圧に切り替えて増幅するセンスアンプ回路を提供するものである。

作用

本発明は、複数のトランジスタから構成されるフリップフロップ型又は、カレントミラー型のセンスアンプ回路の共通ノードを、第1のスイッチ素子を介して第1の電源電圧の供給線と接続することでセンスアンプ回路を活性化し、ビット線対の微小な電位差 ΔV の増幅を開始し、さらに、その後第2のスイッチ素子を介して、第1の電源電圧より、センスアンプ回路を構成するトランジスタの動作電圧が高くなるように第2の電源電圧の供給線と共通ノードを接続することで、トラン

特開平2-18784(3)

ジスタの電流駆動能力を高めることができ、増幅時間が短かくて済む高速センスアンプ回路が実現できる。

実施例

第1図に本発明のセンスアンプ回路の回路例を示す。

なお、第1図に示す本発明の第1の実施例の回路は、基本的には第2図に示した従来の回路と同じ構成であるので、同一構成部分には同一番号を付して詳細な説明は省略する。

まず、第1図に示すセンスアンプ回路の構成を説明すると、

2ケのP型MOS型トランジスタから構成されるフリップフロップ回路1の共通ソースノードを、P型MOS型トランジスタからなる第1のスイッチ素子6を介して、内部電源電圧 V_{cc6} の供給線に接続する。ここで、 V_{cc} は外部電源電圧5を、ダウンコンバータ4により降圧した電源電圧である。

さらに、共通ソースノードをP型MOS型トランジスタからなる第2のスイッチ素子3を介して

路1を構成するトランジスタの動作電圧を高くし、電流駆動能力を高める。増幅が加速されたその後ビット線対2が内部電源電圧 V_{cc6} の電圧レベルまで増幅されるタイミングで、センスアンプ制御信号1をロー、制御信号2をハイにすることで、ビット線対2が、内部電源電圧 V_{cc6} の電圧レベルより高く増幅されることを防ぐ。又、各トランジスタの基板電位は、高い電圧の V_{cc5} に固定しているので、基板に対して各トランジスタのソース、ドレイン領域が順方向のバイアス関係になることはないのでリークの問題もない。

以上の様に、第1の実施例では、高速な増幅が可能なP型センスアンプ回路が実現できる。

次に、第3図に本発明の第2の実施例の回路例を示す。

第3図に示すセンスアンプ回路の構成を説明すると、

2ケのN型MOS型トランジスタから構成されるフリップフロップ回路1の共通ソースノードを、N型MOS型トランジスタからなる第1のスイッチ

外部電源電圧5の供給線に接続する。

このセンスアンプ回路の動作を第2図を用いて説明する。

ワード線を立ち上げることで、メモリーセルが読み出され、ビット線対2に電位差 $4V$ が生じる。その後センスアンプ制御信号10をローにすることで第1のスイッチ素子6をオンにして、共通ソースノードを V_{cc6} の供給線に接続する。するとセンスアンプ回路1が活性化され増幅を開始する。しかし、従来例で説明したように、電源電圧が降圧されているため、P型フリップフロップ回路1を構成するトランジスタの動作電圧が低く、電流駆動能力が低下している。そのため、増幅に必要な時間が長くなるという問題点があったが、第1の実施例では増幅を加速するために、

センスアンプ制御信号10をハイ、制御信号20をローにすることで、P型フリップフロップ回路1の共通ソースノードに接続されている内部電源電圧 V_{cc6} の供給線を、外部電源電圧 V_{cc5} の供給線とつなぎかえ、P型フリップフロップ回

路1を構成するトランジスタの動作電圧を高くし、電流駆動能力を高める。増幅が加速されたその後ビット線対2が内部電源電圧 V_{cc6} の電圧レベルまで増幅されるタイミングで、センスアンプ制御信号1をロー、制御信号2をハイにすることで、ビット線対2が、内部電源電圧 V_{cc6} の電圧レベルより高く増幅されることを防ぐ。又、各トランジスタの基板電位は、高い電圧の V_{cc5} に固定しているので、基板に対して各トランジスタのソース、ドレイン領域が順方向のバイアス関係になることはないのでリークの問題もない。

このセンスアンプ回路の動作を第4図を用いて説明する。

ワード線を立ち上げることでメモリーセルが読み出され、ビット線対2に電位差 $4V$ が生じる。その後、センスアンプ制御信号100をハイにすることで第1のスイッチ素子70をオンにして共通ソースノードを V_{ss50} の供給線に接続する。するとセンスアンプ回路10が活性化され増幅を開始する。しかし従来例で説明したように、電源電圧が降圧されているため、センスアンプ回路10を構成するトランジスタの動作電圧が低く、電流駆動能力が低下している。そのため、増幅に必要な時間が長くなるという問題点があったが、第2の実施例では増幅を加速するために、センスアンプ制御信号100をロー、制御信号200を

特開平2-18784(4)

ハイにすることで、センスアンプ回路10の共通ソースノードに接続されている。Vss60の供給線を、基板電位VBB60の供給線とつなぎかえ、N型フリップフロップ回路10を構成するトランジスタの動作電圧を高くし、電流駆動能力を高める。増幅が加速されたその後、ビット線対2がVss60の電圧レベルまで増幅されるタイミングで、センスアンプ制御信号100をハイ、制御信号200をローにすることで、ビット線対2がVss60の電圧レベルより低くなることを防ぐ。又、各トランジスタの基板電位は、低い電圧のVBB60に固定されているので、基板に対して、各トランジスタのソース、ドレイン領域が順方向のバイアス関係になることはないのでリークの問題もない。

以上の様に、第2の実施例では、高速な増幅が可能なN型センスアンプ回路が実現できる。

又、容易に考えることができるように、本発明の第1の実施例と第2の実施例を、組み合わせたCMOSセンスアンプ回路も当然容易に実現できる。

5, 60……第2の電源電圧、6, 60……第1の電源電圧。

代理人の氏名 弁理士 栗 野 重 孝 ほか1名

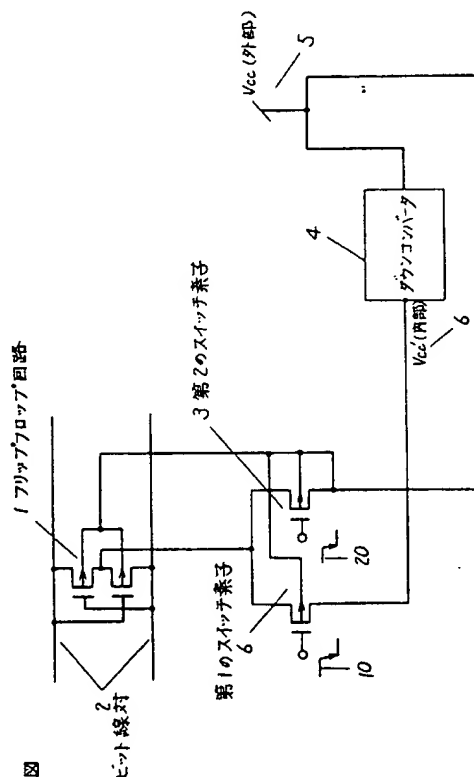
発明の効果

本発明によれば、メモリーセルの酸化膜の信頼性の面から、低電圧されていく内部電源電圧のために、センスアンプ回路の動作電圧が低下し、増幅時間が、長くなるという問題点を、センスアンプ回路の増幅期間中に、センスアンプ回路を構成しているトランジスタの動作電圧が、より高くなるように、一時的に共通ソースノードに接続されている電源の供給線を高い電圧の電源の供給線とつなぎかえることで解決でき、その実用的効果は大きい。

4、図面の簡単な説明

第1図は本発明の第1の実施例の回路図、第2図は第1の実施例の回路の動作説明図、第3図は本発明の第2の実施例の回路図、第4図は第2の実施例の回路の動作説明図、第5図、第7図は従来の回路図、第6図、第8図は従来の回路の動作説明図である。

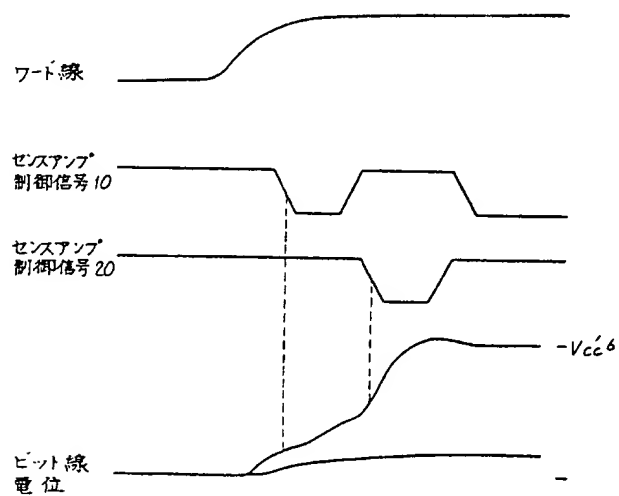
1……P型フリップフロップ回路、2……ビット線対、3, 6, 30, 70……スイッチ素子、



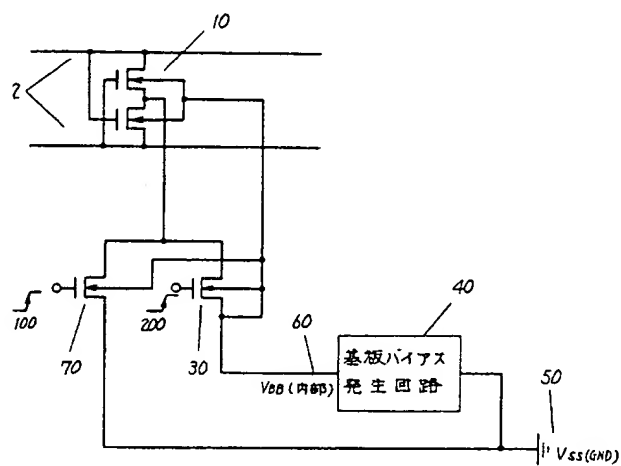
第1図

特開平2-18784(5)

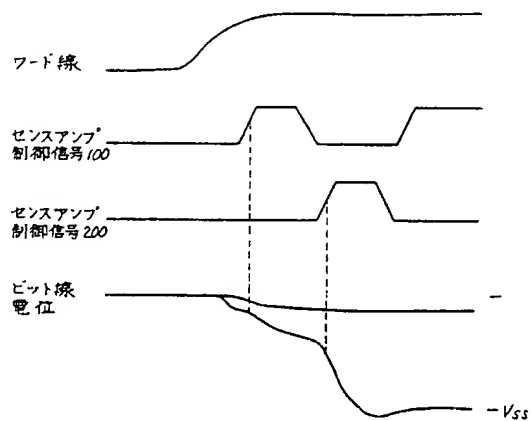
第 2 図



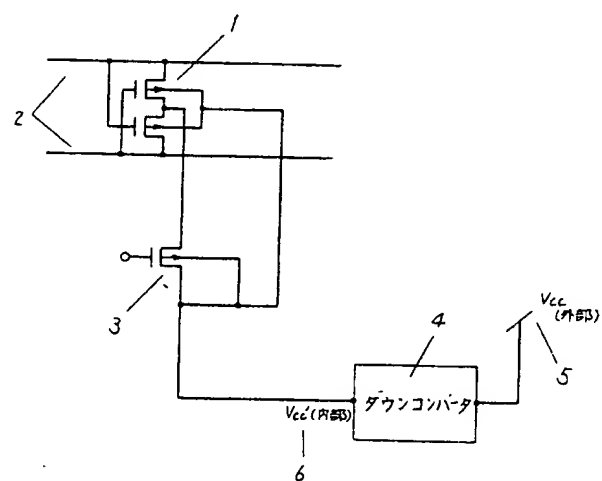
第 3 図



第 4 図

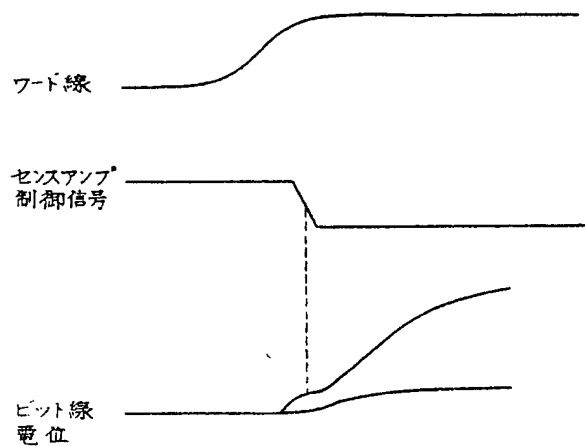


第 5 図

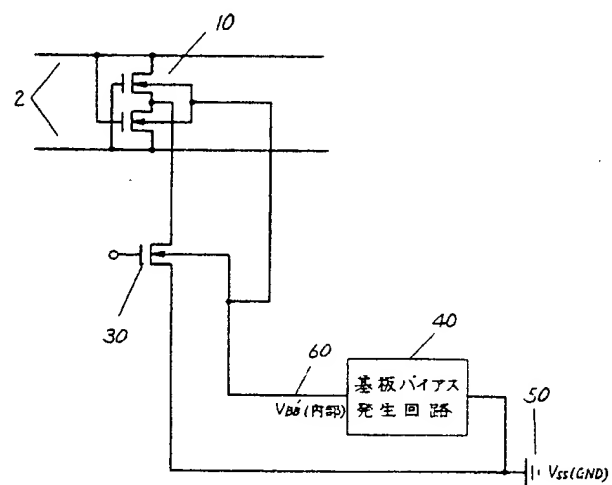


特開平2-18784(6)

第 6 図



第 7 図



第 8 図

